

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年3月23日 (23.03.2006)

PCT

(10) 国際公開番号
WO 2006/030639 A1(51) 国際特許分類:
G06F 7/00 (2006.01)

(21) 国際出願番号: PCT/JP2005/015863

(22) 国際出願日: 2005年8月31日 (31.08.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-267007 2004年9月14日 (14.09.2004) JP(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大
字門真 1 0 0 6 番地 Osaka (JP).

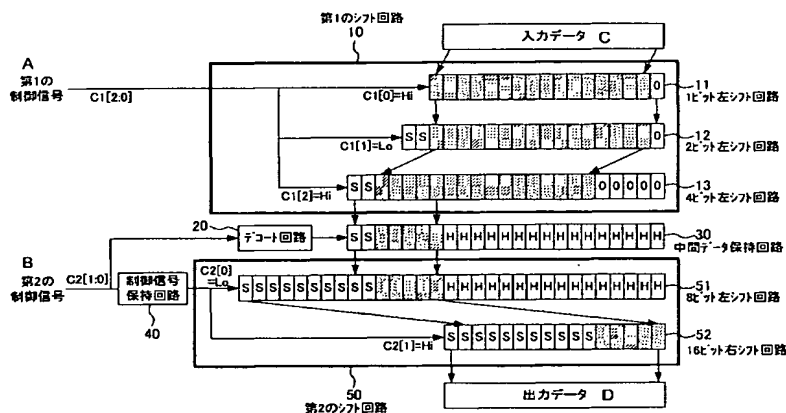
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 田上 一文
(TANOUE, Kazufumi). 武内 大輔 (TAKEUCHI,
Daisuke). 千葉 智子 (CHIBA, Tomoko).(74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒
5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号
大阪丸紅ビル Osaka (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK,
LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,
SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: BARREL SHIFT DEVICE

(54) 発明の名称: バレルシフト装置



A- FIRST CONTROL SIGNAL
B- SECOND CONTROL SIGNAL
40- CONTROL SIGNAL HOLDING CIRCUIT
20- DECODE CIRCUIT
10- FIRST SHIFT CIRCUIT
50- SECOND SHIFT CIRCUIT
C- INPUT DATA

D- OUTPUT DATA
11- ONE-BIT LEFT-SHIFT CIRCUIT
12- TWO-BIT LEFT-SHIFT CIRCUIT
13- FOUR-BIT LEFT-SHIFT CIRCUIT
30- INTERMEDIATE DATA HOLDING CIRCUIT
51- EIGHT-BIT LEFT-SHIFT CIRCUIT
52- 16-BIT RIGHT-SHIFT CIRCUIT

(57) Abstract: When a barrel shift device is divided into pipeline registers and shifting is executed at a multistage processing stage, a second control signal for controlling the shift amount of a second shift circuit (50) is decoded by a decode circuit (20), and thereby at which digit place of intermediate data in an intermediate data holding circuit(30) the data element finally outputted as output data from the second shift circuit(50) is present is detected. The intermediate data holding circuit(30) holds only the finally outputted data element out of the data elements in intermediate data depending on the result of detection

[続葉有]

WO 2006/030639 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

of the digit place of the decode circuit(20), and does not hold unnecessary data elements which the output data does not reflect. Therefore, data storage operation of the intermediate data holding circuit (30) is controlled, and an increase of electric power due to the conversion into the pipeline structure is suppressed.

(57) 要約: パレルシフト装置をパイプラインレジスタで分割し、シフト処理を多段処理ステージで実行する場合に、第2のシフト回路50のシフト量を制御する第2の制御信号をデコード回路20でデコードすることにより、第2のシフト回路50から最終的に出力データとして出力されるデータ要素が中間データ保持回路30での中間データのどの桁位置にあるかを検出する。中間データ保持回路30は、上記デコード回路20の桁位置の検出結果に基づいて中間データ中のデータ要素のうち、最終的に出力されるデータ要素のみを保持し、出力データには反映されない不用品データ要素は保持しない。従って、中間データ保持回路30でのデータ格納動作を制御して、パイプライン構造化による電力増加が抑制される。